

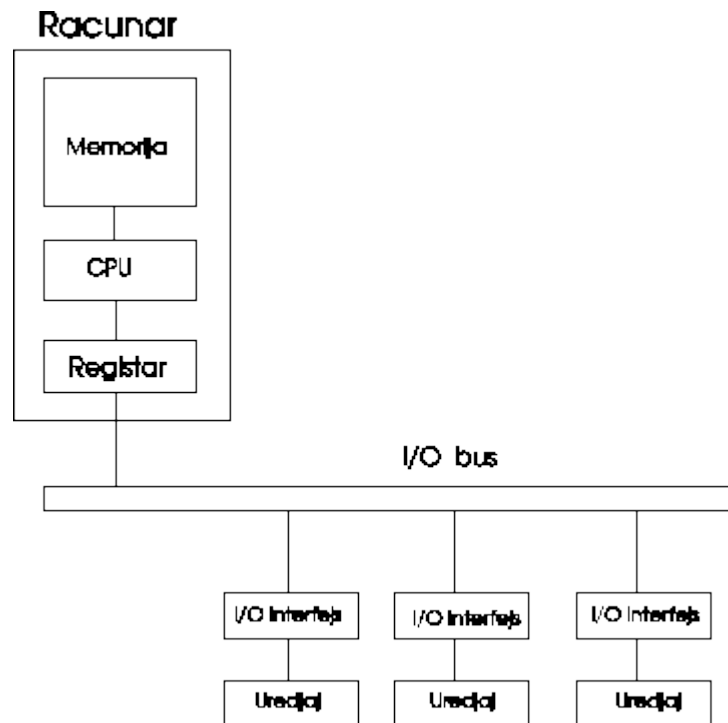
## 9 Input/Output transfer podataka

Ovdje će biti razmatran onaj dio arhitekture računara koji obezbjeđuje njegovu komunikaciju sa spoljnim svijetom. Osnovu tog dijela arhitekture čini sposobnost računara da šalje i prima podatke od perifernih uređaja. Periferni uređaji mogu biti spori kod kojih se prenosi po jedan karakter (bajt) u jedinici vremena, ili brzi kod kojih se u jedinici vremena prenosi blok karaktera. S druge strane uređaji se mogu nalaziti u neposrednoj blizini računara, ili mogu biti na većem rastojanju, što uslovljava povezivanje sa kablovima različite strukture (sa više ili manje provodnika).

### 9.1 Input/Output magistrala (bus)

Pošto se na računar povezuje više perifernih uređaja mora postojati način da se operacija transfera podataka obavlja sa onim uređajem koji je datom trenutku odabran za takav transfer. To se može postići korišćenjem posebne magistrale (bus-a) koja se naziva Input/Output magistralom (I/O bus-om). I/O bus je sličan internom CPU bus-u. I/O bus zapravo povezuje registre CPU-a sa registrima koji su sastavni dio perifernog uređaja, to jest onog dijela perifernog uređaja koji najčešće nazivamo I/O interfejsom. Za razliku od CPU bus-a nad kojim CPU ima potpunu kontrolu, kod I/O bus-a CPU samo inicira operacije transfera podataka dok se sam transfer odvija autonomno.

I/O bus se sastoji od tri posebna skupa linija: adresnih linija, linija podataka i kontrolnih linija. Kada CPU želi da pošalje podatak nekom od I/O uređaja, CPU najprije na adresni dio bus-a postavlja adresu uređaja. Samo onaj periferni uređaj čija je adresa postavljena na bus-u može da odgovori na komandu koja se postavlja na kontrolni dio bus-a. Slika 9.1 prikazuje tipičnu strukturu računarskog sistema sa jednim I/O bus-om.



Slika 9.1 I/O magistrala

U sistemima kao što je onaj prikazan na Slici 9.1 učitavanja podatka sa perifernog uređaja i smještanje podatka u memoriju odvija se u tri faze:

- (1) Uredjaj ----> I/O interfejs
- (2) I/O interfejs ----> registar
- (3) Registar ----> memorija

Na sličan način se izvršava i obrnuta operacija upisa podatka na periferni uređaj.

Periferni uređaj se kablovski povezuje na I/O interfejs. I/O interfejs se smješta u jedan od I/O slotova na I/O bus-u. I/O interfejs igra ulogu komunikacionog linka između perifernog uređaja i CPU-a.

I/O interfejs sadrži tri osnovne komponente:

- (1) Bafer registar - u kojem se smješta podatak koji se cita (ili upisuje).
- (2) Kontrolni bit - koji kada se setuje na 1 daje komandu uređaju da započne operaciju čitanja (upisivanja).
- (3) Flag bit - kojim se označava da je uređaj izvršio zadatu operaciju.

## 9.2 Tehnike povezivanja perifernih uređaja

### 9.2.1 Paralelni prenos podataka

Kod paralelnog prenosa svaki bit računarske riječi ili bajta povezuje se na posebnu liniju. Na taj način se svi bitovi prenose istovremeno pa je i brzina prenosa podataka velika. Za ovu vrstu prenosa potreban je veliki broj linija što korišćenje ove tehnike ograničava na mala rastojanja. Ovakav prenos na veća rastojanja je s jedne strane neekonomičan (zbog velikog broja linija), a takođe se pojavljuju i drugi efekti (kao problemi kašnjenja i pada napona) koji ga čine nepogodnim za veća rastojanja.

Računari koriste paralelni prenos podataka za relativno brze uređaje koji se nalaze na malim rastojanjima od samog računara ( brzi printeri, na primjer). Za paralelni prenos podataka postoje i standardi kakav je IEEE-488.

### 9.2.2 Serijski prenos podataka - asinhroni

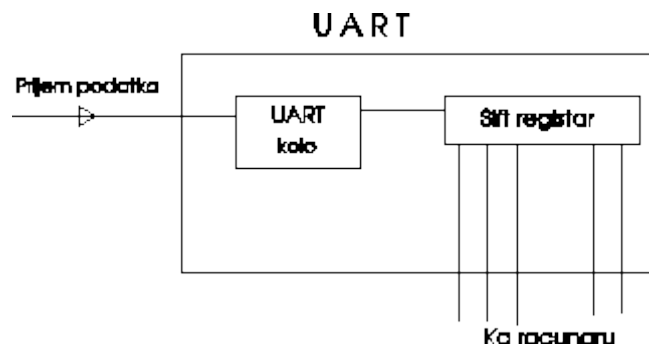
Paralelni prenos je suviše skup zbog velikog broja linija, a alternativa je da se za prenos podatka koristi samo jedna linija po kojoj će se prenositi memorijska riječ (ili bajt) bit po bit. Takav prenos je poznat kao serijski prenos podataka.

Da bi pri serijskom prenosu uređaj primio karakter (bajt) ispravno potrebno je da postoji način za utvrđivanje pojave prvog bita karaktera. Ovaj problem je problem sinhronizacije i rješava se na dva načina: asinhronim i sinhronim prenosom.

Kod asinhronog prenosa ispred svakog karaktera postavlja se "start" bit koji označava početak prenosa karaktera, a na kraju prenosa bitova samog karaktera, slijedi jedan ili više "stop" bitova.

Start bit "pobuđuje" prijemnik koji se zatim pripremi za prijem bitova podatka. Stop bitovi omogućavaju da se prijemna i predajna strana pripreme za prijem/slanje sljedećeg karaktera.

Serijski prenos podataka se obično vrši uz pomoć elektronskog uređaja poznatog kao UART (Universal asynchronous receiver/transmitter). Serijski prenos podataka ilustrovan je na Slici 9.2.



Slika 9.2 Serijski asinhroni prenos podataka

### 9.2.3 Serijski prenos - sinhroni

Glavni nedostatak asinhronog prenosa je što oko 30 % bitova nijesu bitovi podataka već sinhronizacioni bitovi (start i stop bitovi). Za brze uređaje se zato koristi tehnika u kojoj se vrši prenos ne jednog karaktera već bloka karaktera, a sinhronizacioni signali se šalju na početku i kraju bloka. Sinhronizacioni signali su najčešće unaprijed definisani nizovi bajtova (ne bitova) i razmjena ovih signala se često naziva protokolom "rukovanja" (hand-shaking). Elektronski sklopovi koji omogućavaju asinhroni i sinhroni prenos podataka nazivaju se USART (Universal asynchronous/synchronous receiver/transmitter).

Pošto se serijskom vezom ostvaruje povezivanje računara sa mnogim perifernim uređajima (stampaci, miš, modemi itd.), razvijen je poseban standard za ovu vrstu interfejsa - RS232-C (V24).

### 9.4 Autonomni input/output - DMA

I pri paralelnom i pri serijskom prenosu podataka, koje smo do sada razmatrali, CPU je imao značajnu ulogu u obavljanju transfera podataka od uređaja do memorije. Kod veoma brzih uređaja (kao što su diskovi) ovakav način je neefikasan, pa je u svrhu povećanja efikasnosti, razvijena tehnika u kojoj se prenos podataka između memorije i perifernog uređaja može odvijati bez učešća CPU-a. Takva tehnika poznata je kao direktan pristup memoriji (Direct Memory Access - DMA). Ovo se postiže složenijim elektronskim sklopom - DMA kontrolerom.

DMA kontroler, pošto treba da sa memorijom radi autonomno, mora da sadrži sljedeće komponente:

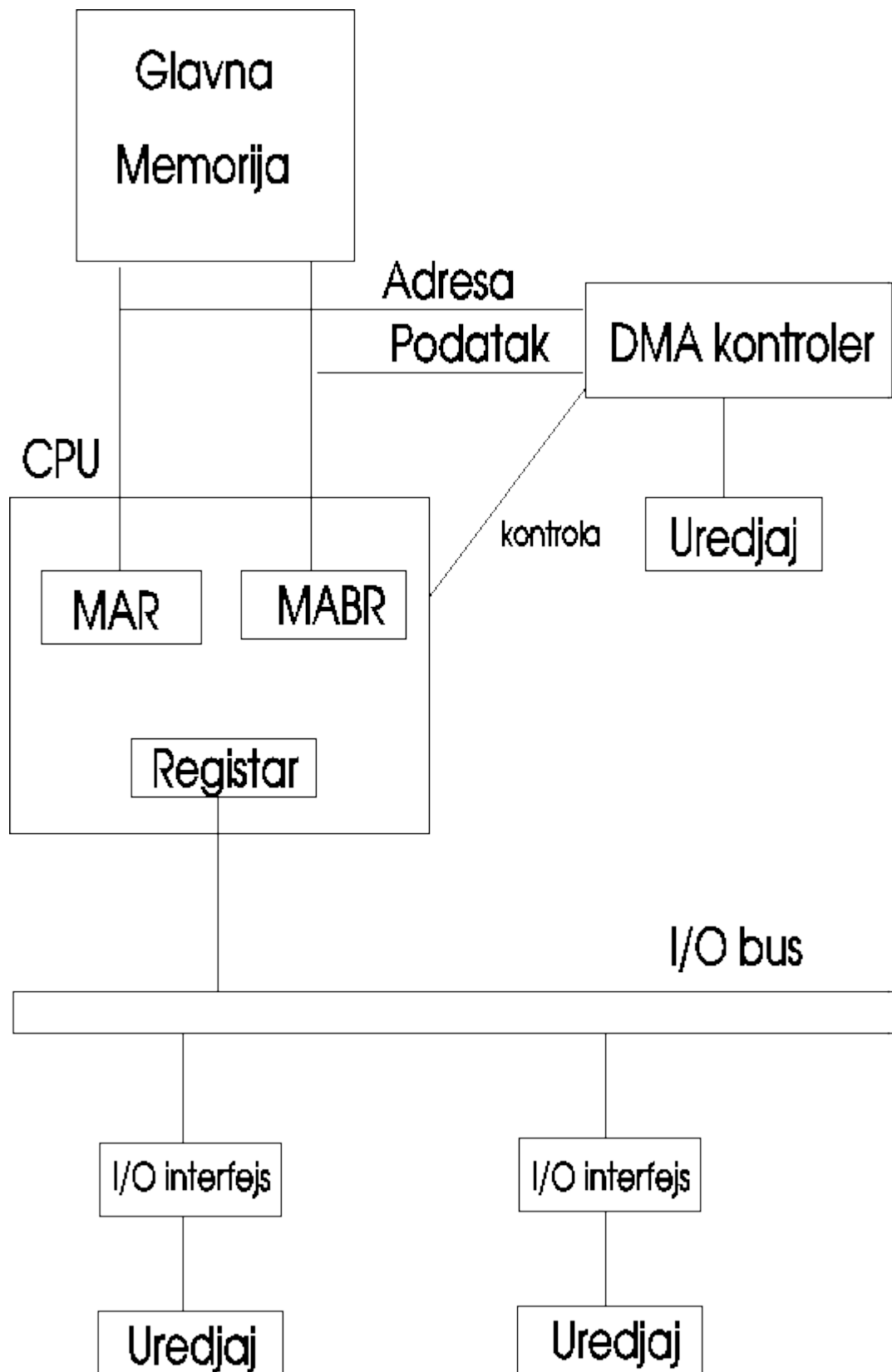
- registar za memorijske adrese

- registar brojač transferovanih riječi

- registar za prijem komande od CPU-a (upis ili čitanje),

registar koji služi kao bafer između uređaja i memorije.

Na Slici 9.3 ilustrovan je način rada DMA transfera podataka. Kod računara koji imaju samo jedan bus, I/O bus i memorijski bus su isti pa se DMA ostvaruje preko tog jedinstvenog bus-a.



### Slika 9.3 DMA prenos podataka